

JP3076234

Publication Title:

MANUFACTURE OF FIELD EFFECT TRANSISTOR

Abstract:

Abstract of JP3076234

PURPOSE:To restrain the increase in the gate resistance by lessening the gate electrode length than designed value even if the gate length is lessened by a method wherein the second resist layer filled up in a recess region is removed taking an inverse mesa shape and then a gate electrode is coat-formed on the removed part. **CONSTITUTION:**The first resist layer 6 having an opening part in specific width is formed and after forming a recess region in specific depth from the opening part, a coated layer is formed in the region corresponding to the opening part of the resist layer from the first resist layer 6 to the recess region 7. Later, after filling up the recess region and coating the second resist layer 9 from the opening part of the first resist layer 6 extending over the whole region of the coated layer, exposure and development processors in specific amount are performed to remove the second resist layer 9 taking an inverse mesa shape. The gate electrode length can be lessened than the opening width of the first layer by coat-forming the removed part with a gate electrode 10. Furthermore, the increase in the gate resistance can be restrained even if the gate electrode length is lessened by giving the inverse mesa shape to the gate electrode section.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

⑫ 公開特許公報(A)

平3-76234

⑤Int.Cl.⁵

識別記号

庁内整理番号

⑬公開 平成3年(1991)4月2日

H 01 L 21/338
21/28
29/812

G 7738-5F

7735-5F H 01 L 29/80

F

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 電界効果トランジスタの製造方法

⑯特 願 平1-213570

⑰出 願 平1(1989)8月18日

⑱発 明 者 渡 瀬 学 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑲出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

電界効果トランジスタの製造方法

2. 特許請求の範囲

表面にソース電極およびドレイン電極が所定間隔をおいて形成された半導体基板上の全面にわたり、第1の被覆層を所望の厚さで形成する工程、前記ソース電極およびドレイン電極で挟まれた領域の第1の被覆層上の所望の位置に所定幅の開孔部を有し、他を被覆する第1のレジスト層を形成する工程、前記第1のレジスト層をマスクとして、前記第1のレジスト層の開孔部に対し異方性エッチングを施して前記第1の被覆層に前記第1のレジスト層の開孔部と同一形状の開孔部を形成し、前記半導体基板を部分的に露出させる工程、露出した前記半導体基板表面に対し、前記第1の被覆層をマスクとしてエッチングを行い、所望の深さのリセス領域を形成する工程、前記第1のレジスト層上方から所定の金属層を被着させることにより、前記第1のレジスト層上および前記リセス領

域内の前記第1のレジスト層の開孔部に相当する領域に第2の被覆層を形成する工程、前記リセス領域を充填し、かつ前記第1の被覆層および第1のレジスト層の開孔部から前記第2の被覆層上全域にわたり第2のレジスト層を被着する工程、所定の照射量の露光と現像を行い、前記第2の被覆層上の第2のレジスト層を除去し、前記第2の被覆層を露出させると同時に前記第1の被覆層および第1のレジスト層の開孔部から前記リセス領域にわたり逆台形状に前記第2のレジスト層を除去し、前記リセス領域内の第2の被覆層を併せ露出させる工程、前記リセス領域内に残存する前記第2のレジスト層をマスクとして前記リセス領域内の第1の被覆層を除去し、前記半導体基板を露出させると同時に前記第1のレジスト層上の第2の被覆層を除去する工程、前記リセス領域の露出した前記半導体基板表面から前記第1のレジスト層上にわたりゲート電極材料を被着させる工程、前記第1のレジスト層、前記リセス領域内の第2のレジスト層および前記第1のレジスト層上の不要

なゲート電極材料を除去する工程を含むことを特徴とする電界効果トランジスタの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、電界効果トランジスタの製造方法に係り、特にリセスゲート構造におけるゲート電極長の短縮とゲート抵抗の低減を目的とした電界効果トランジスタの製造方法に関するものである。

〔従来の技術〕

単結晶半導体基板として、ヒ化ガリウム (GaAs) を用いたショットキー障壁ゲート構造の GaAs 電界効果トランジスタ (GaAs MESFET) を例にとって以下の説明を行う (特開昭 62-154670 号公報参照)。

第2図(a)~(d)は従来の GaAs MESFET の製造方法の概略を示す工程断面図である。この従来例の場合、半絶縁性 GaAs 基板 11 上に気相エピタキシャル成長法などでチャンネル層となる半導体層 12 を形成し、この半導体層 12 の表面にドレイン電極 13 およびソース電極 14 の

オーミック電極を所定間隔をおいて形成する (第2図(a))。続いて、ドレイン電極 13 とソース電極 14 の間の所謂チャンネル領域の所望の位置に開孔部を有し、他を被覆するレジスト層 15 を形成する (第2図(b))。次にレジスト層 15 をマスクとして半導体層 12 に凹部、すなわち、リセス領域 16 を形成した後、周知の蒸着法によりアルミニウム等のゲート電極材料 17' を被着させ (第2図(c))、その後、リフトオフ法を適用することにより、ショットキーバリアゲート電極 (以下、単にゲート電極という) 17 がリセス領域 16 に選択的に形成されたりセスゲート構造を得る (第2図(d))。

〔発明が解決しようとする課題〕

しかしながら、この方法においては、リセス領域 16 内に形成されるゲート電極 17 の形状は、周知のように成長方向に先細りし台形状となることから、ゲート電極抵抗の増大を招き高周波性能の大幅な劣化が余儀なくされる場合が生じていた。また、ゲート長はレジスト層 15 の開孔部幅で規

定されているため、ゲート長短縮のためには、写真製版工程で使用するマスクのパターンの微細化やレジスト層 15 の露光、現像特性を向上させ、レジスト断面形状を厳密に制御する必要がある等の解決しなければならない多くの課題を有していた。

この発明は、このような従来の問題点を解消するためになされたもので、ゲート抵抗の低減とゲート長の短縮が制御性良く達成できる電界効果トランジスタの製造方法を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る電界効果トランジスタの製造方法は、ソース・ドレイン電極間の所望の位置に所定幅の開孔部を有する第1のレジスト層を形成し、その開孔部から所定深さのリセス領域を形成した後、第1のレジスト層上からリセス領域内のレジスト層開孔部に相当する領域に被覆層を形成し、その後、リセス領域内を充填し、かつ第1のレジスト層の開孔部から被覆層上全域にわたり第2のレジスト層を被着した後、所定の照射量の露光と

現像を行うことにより、リセス領域内の第2のレジスト層を逆台形状に除去し、その除去部分にゲート電極を被着形成するものである。

〔作用〕

この発明における電界効果トランジスタの製造方法においては、所定幅の開孔部を有する第1のレジスト層を形成し、その開孔部から所定深さのリセス領域を形成した後、第1のレジスト層上からリセス領域内のレジスト層開孔部に相当する領域に被覆層を形成し、その後、リセス領域内を充填し、かつ第1のレジスト層の開孔部から被覆層上全域にわたり第2のレジスト層を被着した後、所定の照射量の露光と現像を行うことにより、リセス領域内の第2のレジスト層を逆台形状に除去し、その除去部分にゲート電極を被着形成することにしたことから、ゲート電極長が第1のレジスト層開孔部幅より短縮化できる。また、ゲート電極断面形状が逆台形状となることから、ゲート電極長が短縮されてもゲート抵抗の増加が抑制できる。

〔実施例〕

以下、この発明の一実施例を図面について説明する。

第1図(a)～(k)はGaAs MESFETのこの発明による製造方法の一実施例の主要工程を示す断面図である。

まず、第1図(a)に示すように、半絶縁性GaAs基板1上に周知の気相エピタキシャル成長法などにより生成されたn型GaAs半導体層2の表面に、例えばAuGe(合金)、NiおよびAuの3層からなるドレイン電極3およびソース電極4が所定間隔で形成された試料を用意する。その後、第1図(b)に示すように、試料表面全域にわたりSi₃N₄膜からなる第1の被覆層5を形成する。次いで第1図(c)に示すように、第1の被覆層5上の所望の位置に所定幅の開孔部を有する第1のレジスト層6を形成する。続いて、第1図(d)に示すように、第1のレジスト層6をマスクとして、例えばRIE法等により第1の被覆層5を異方性エッチングで選択的に除去する。

6に形成された第2の被覆層8上の第2のレジスト層9を除去すると同時にリセス領域7内の第2のレジスト層9を逆台形状に除去し、リセス領域7内に被着された第2の被覆層8を露出させる。

第2のレジスト層9が逆台形状に除去されることから、リセス領域7表面の第2のレジスト層9の開孔部は第1のレジスト層6の開孔部幅より短縮できる。次いで第1図(i)に示すように、リセス領域7内の第2のレジスト層9をマスクとしてリセス領域7内の第2の被覆層8を除去すると同時に、第1のレジスト層6上の第2の被覆層8を除去する。しかる後、第1図(j)に示すように、所定のゲート電極材料10'、例えばAlを所定の厚さに被着し、不要部分(第2のレジスト層9、第1のレジスト層6および第1のレジスト層6上のゲート電極材料10')を除去することにより第1図(k)に示すように、リセス領域7にゲート電極10が形成され、リセスゲート構造を得る。

このように、上記実施例では、リセス領域7内に充填した第2のレジスト層9を逆台形状に除

しかる後、第1図(o)に示すように、第1のレジスト層6および第1の被覆層5をマスクとしてn型GaAs半導体層2を所定の深さ、例えば2000～5000Å掘込み凹形状のリセス領域7を形成する。その後、第1図(f)に示すように、試料全面に、例えばTi等からなる厚さ数百Åの第2の被覆層8を形成する。第2の被覆層8は、第1のレジスト層6上およびその開孔部のリセス領域7内に開孔部と同一形状で被着される。また、第2の被覆層8は、第1の被覆層5と第1のレジスト層6の開孔部領域で異なるように形成する。これは後工程で形成する第2のレジスト層9と第1のレジスト層6の干渉を防止するためである。続いて、第1図(g)に示すように、試料上に第2のレジスト層9を被着させることにより、リセス領域7を充填させ、かつ第1のレジスト層6の開孔部から第2の被覆層8上にレジスト層9を形成する。しかる後、第1図(h)に示すように、第2のレジスト層9に所定照射量の露光を行い、所定の現像を行うことにより、第1のレジスト層

去し、その除去部分にゲート電極10を被着形成するようにしたことから、ゲート電極長が設計値(第1のレジスト層6の開孔部幅)より短縮できる。また、ゲート電極10の断面形状が逆台形状となることからゲート長が短縮されてもゲート抵抗の増加は抑制できるばかりでなく、ゲート抵抗を低減することができる。

なお、上記実施例では第1の被覆層5が窒化膜である場合を述べたが、この発明はこれに限定されるものではなく、他の絶縁膜材料であってもよい。また、第2の被覆層8はTiの場合について述べたが、この発明はこれに限定されるものではなく、第1の被覆層5、第1のレジスト層6および第2のレジスト層9を溶解しないエッチャントで除去でき、かつ容易に成膜できる材料であれば何でもよい。さらに、上記実施例ではGaAs MESFETの場合について述べたが、他の材料からなる電界効果トランジスタに対しても広く適用できる。

〔発明の効果〕

以上説明したように、この発明は、リセス領域内に充填した第2のレジスト層を逆台形状に除去し、その除去部分にゲート電極を被着形成するようにしたので、ゲート電極長が設計値（第1のレジスト層開孔部幅）より短縮できる。また、ゲート電極の断面形状が逆台形となることからゲート長が短縮されてもゲート抵抗の増加が抑制できる等の効果が得られる。

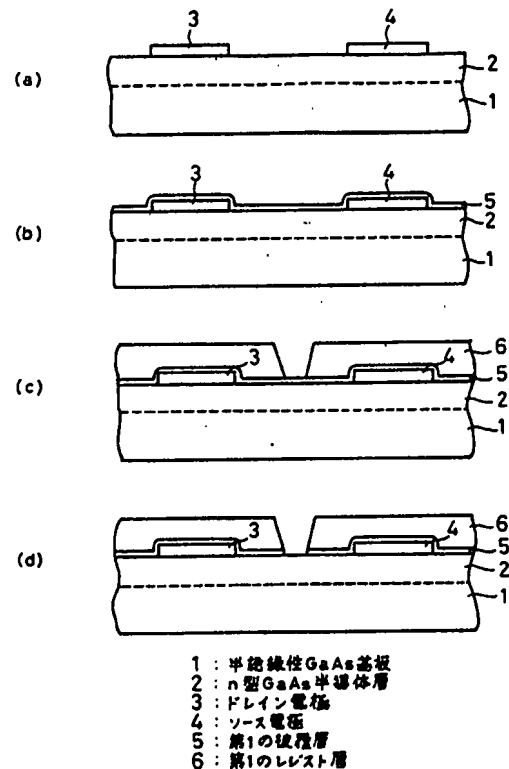
4. 図面の簡単な説明

第1図はこの発明の電界効果トランジスタの製造方法の一実施例の主要工程を示す断面図、第2図は従来の製造方法の主要工程を示す断面図である。

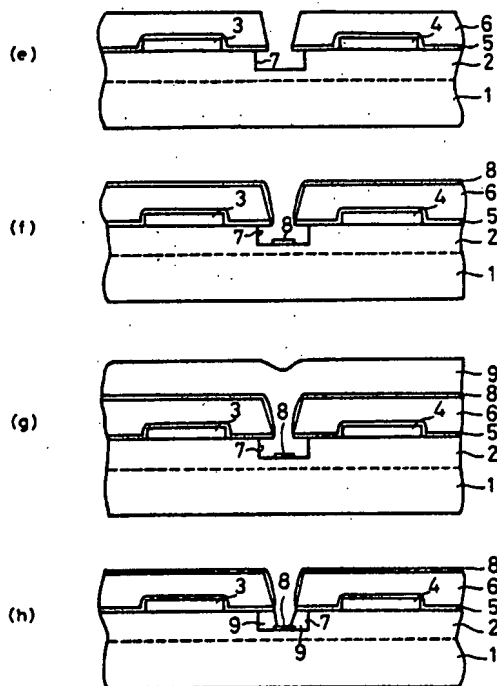
図において、1は半絶縁性GaAs基板、2はn型GaAs半導体層、3はドレイン電極、4はソース電極、5は第1の被覆層、6は第1のレジスト層、7はリセス領域、8は第2の被覆層、9は第2のレジスト層、10はゲート電極である。

なお、各図中の同一符号は同一または相当部分を示す。

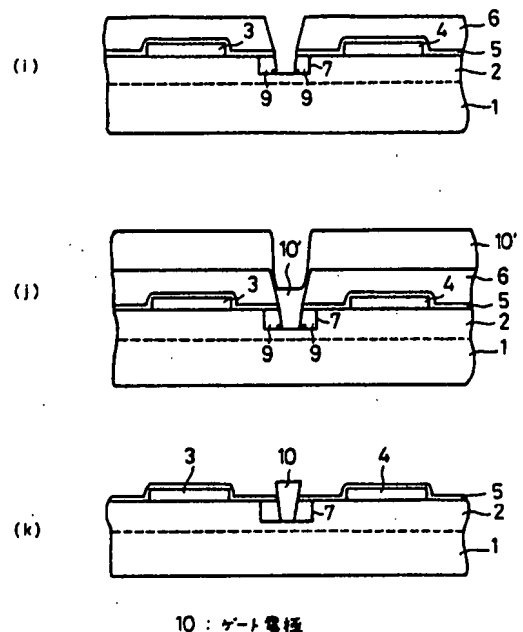
第1図その1



第1図その2



第1図その3



第 2 図

